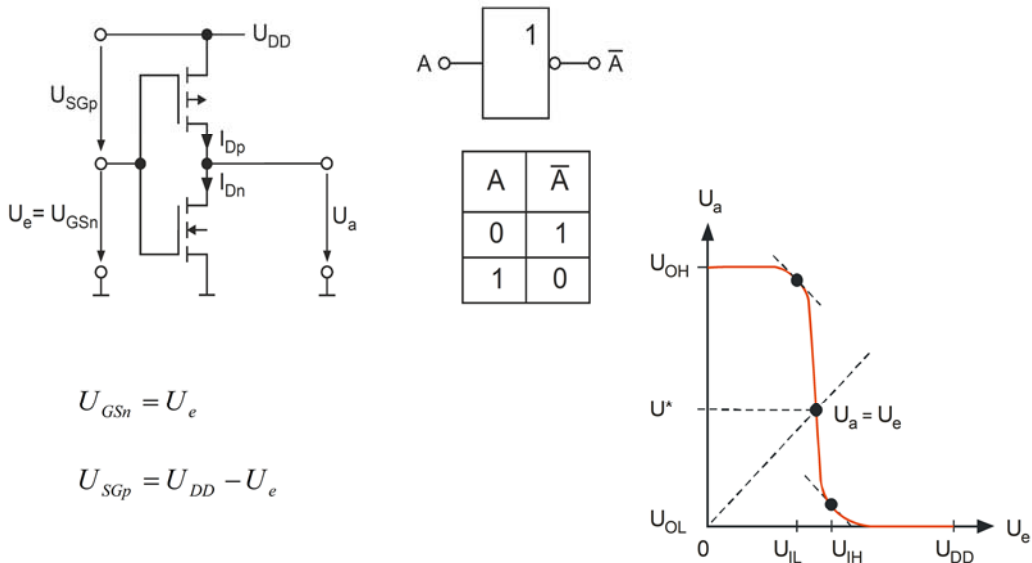


3. CMOS Inverter: Schaltung



Die einfachste logische CMOS-Schaltung ist der Inverter.

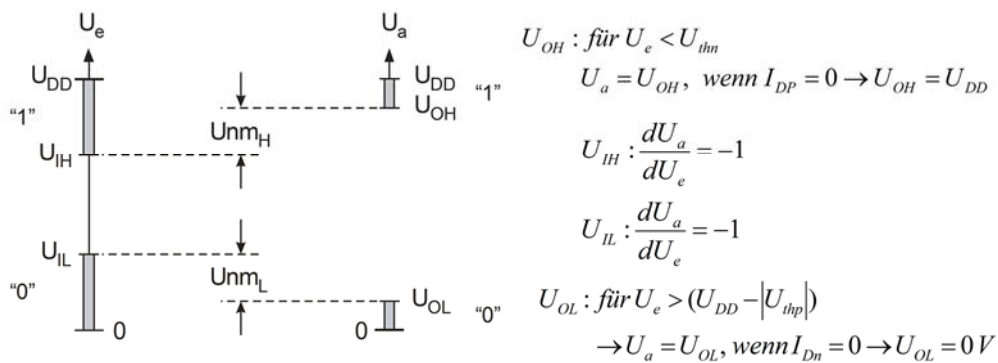
Die beiden Transistoren arbeiten im Gegentaktbetrieb.

Anhand der Übertragungsfunktion sollen zunächst einige Definitionen betrachtet werden.

Der Schaltpunkt ist definiert bei $U_a = U_e$

Die Spannungen U_{IL} und U_{IH} werden bestimmt durch die Tangente an die Übertragungsfunktion mit der Steigung -1.

3.1. CMOS Inverter: Schaltpegel

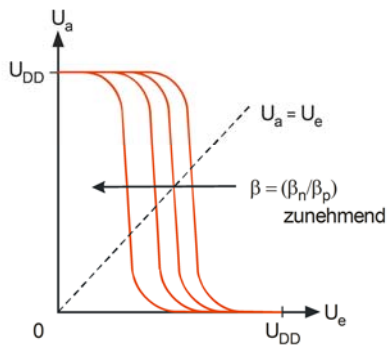


$$\beta_n \cdot (U_{IL} - U_{thn})^2 = \beta_p \cdot [2 \cdot (U_{DD} - U_{IL} - |U_{thp}|) - (U_{DD} - U_a)] \cdot (U_{DD} - U_a)$$

$$U_{IL} \left(1 + \frac{\beta_n}{\beta_p}\right) = 2U_a + \left(\frac{\beta_n}{\beta_p}\right) \cdot U_{thn} - U_{DD} - |U_{thp}|$$

Hier die angesprochenen Gleichungen zur Bestimmung der auf der vorangegangenen Folie.

3.1. CMOS Inverter: Berechnungen



$$\left. \begin{array}{l} \text{Schaltpunkt } S \cong U^* \\ (U_e = U_a) \end{array} \right\} I_{Dn} = I_{Dp}$$

$$U^* = \frac{\left(\frac{\beta_n}{\beta_p}\right)^{1/2} \cdot U_{thn} + (U_{DD} - |U_{thp}|)}{1 + \left(\frac{\beta_n}{\beta_p}\right)^{1/2}}$$

$$\text{Symmetrischer Inverter: } U^* = \frac{1}{2} \cdot U_{DD}$$

$$\left(\frac{W}{L}\right)_p = \frac{\mu_n}{\mu_p} \cdot \left(\frac{W}{L}\right)_n; \quad \mu_n > \mu_p$$

$$\text{wenn } U_{thn} = |U_{thp}| = U_{th}$$

$$\rightarrow \beta_n = \beta_p$$

$$\text{d.h. } \beta'_n \cdot \left(\frac{W}{L}\right)_n = \beta'_p \cdot \left(\frac{W}{L}\right)_p$$

$$\text{da } \beta'_n = \mu \cdot C_{ox}$$

Zur Berechnung des Schaltpunktes wird das so genannte Inverterverhältnis $\beta = \beta_n / \beta_p$ definiert.

Damit kann U^* bestimmt werden.

3.1. CMOS Inverter: Beispiel

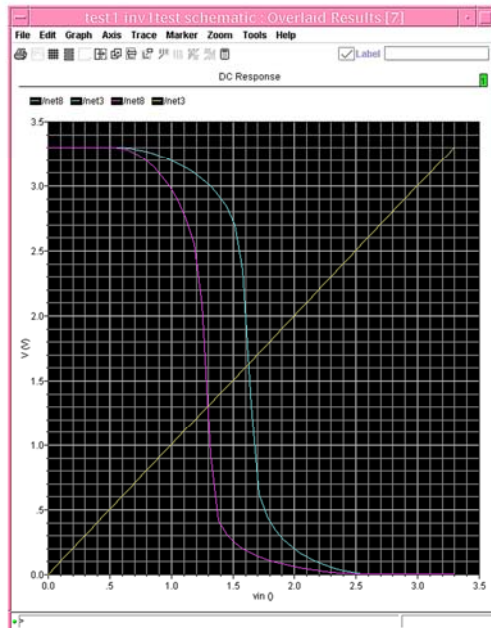
$$\left. \begin{array}{l} \text{Schaltpunkt } S \cong U^* \\ (U_e = U_a) \end{array} \right\} I_{Dn} = I_{Dp}$$

$$U^* = \frac{\left(\frac{\beta_n}{\beta_p}\right)^{1/2} \cdot U_{thn} + (U_{DD} - |U_{thp}|)}{1 + \left(\frac{\beta_n}{\beta_p}\right)^{1/2}}$$

$$\left(\frac{\beta_n}{\beta_p}\right) = 1 \Rightarrow U^* = \frac{U_{DD}}{2} = 1,65 \text{ V}$$

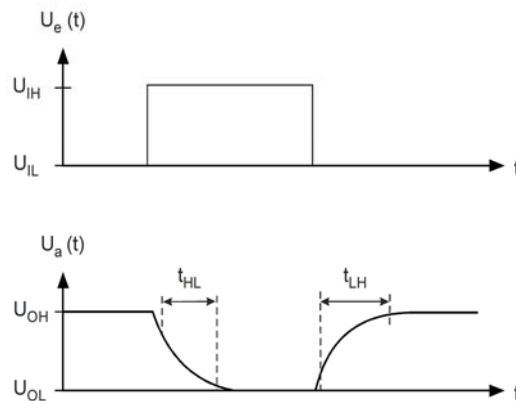
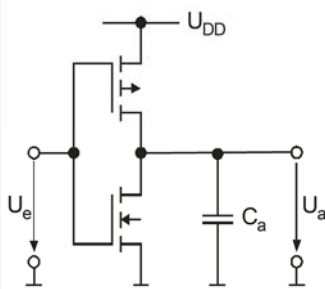
$$\left(\frac{\beta_n}{\beta_p}\right) = 3 \Rightarrow U^* = \frac{(\sqrt{3} - 1) \cdot U_{th} + U_{DD}}{1 + \sqrt{3}}$$

$$\text{mit } U_{th} \approx 0,5 \text{ V und } U_{DD} = 3,3 \text{ V} \Rightarrow U^* \approx 1,3 \text{ V}$$



Anhand eines Beispiels soll die Verschiebung des Schaltpunktes aufgezeigt werden.

3.2. CMOS Inverter: Schaltverhalten



Gatterlaufzeit (Gate propagation delay) : $t_{PD} = \frac{1}{2} \cdot (t_{HL} + t_{LH})$

max. Frequenz : $f_{\max} = \frac{1}{t_{HL} + t_{LH}}$

Als nächstes wollen wir das Schaltverhalten näher betrachten.

Bei jedem Umschaltvorgang muss die Kapazität C_a , mit der der Ausgang belastet ist, umgeladen werden.

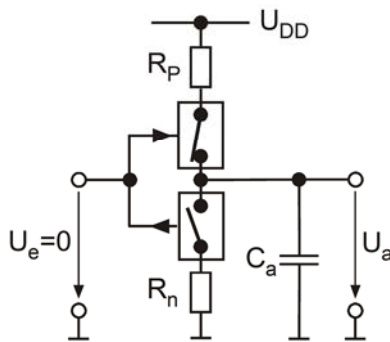
Die Umladung erfolgt über den Ausgangsstrom und die "internen" Widerstände der Transistoren.

Damit ergibt sich das typische RC-Verhalten.

Die Definition der Gatterlaufzeit erfolgt über die 10%-90% Schwellen der Ausgangsspannung.

Damit wird auch die maximal mögliche Taktfrequenz festgelegt.

3.2. CMOS Inverter: RC-Modell



1) Aufladen ($U_a = 0$ $t = 0$) bei $U_e = 0$

$$U_a(t) = U_{DD} \cdot \left[1 - e^{-\left(t/\tau_p\right)} \right]$$

$$\text{mit } \tau_p = R_p \cdot C_a$$

$$\text{in Sättigung } R_p \approx \frac{U_{DD}}{I_{DP}} \cong \frac{2 \cdot U_{DD}}{\beta_p \cdot (U_{DD} - |U_{thp}|)^2}$$

2) Entladen ($U_e > (U_{DD} - U_{thp})$)

$$U_a(t) = U_{DD} \cdot e^{-\left(t/\tau_n\right)}$$

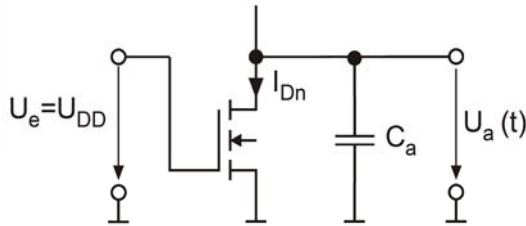
$$\text{mit } \tau_n = R_n \cdot C_a$$

$$R_n \cong \frac{2 \cdot U_{DD}}{\beta_n \cdot (U_{DD} - U_{thn})^2}$$

Hier die Umladevorgänge im Detail.

R_n und R_p stellen die ohmschen Widerstände im Transistor dar.

3.2. CMOS Inverter: High-to-Low



$$\tau_n = \frac{C_a}{\beta_n (U_{DD} - U_{thn})}$$

90% / 10% - Regel

$$t_{HL} = \tau_n \cdot \left[\frac{2 \cdot (U_{thn} - U_0)}{(U_{DD} - U_{thn})} + \ln \left[\frac{2 \cdot (U_{DD} - U_{thn})}{U_0} - 1 \right] \right]$$

Sättigung linear

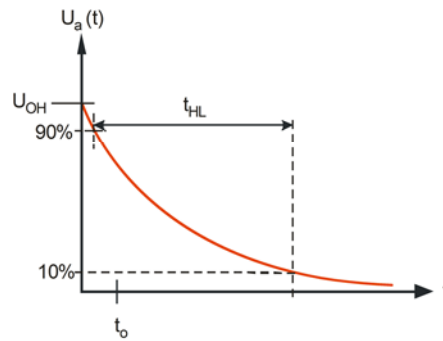
$$I_{Dn} = C_a \cdot \frac{dU_a}{dt} ; \text{ da } (t=0) = U_{DD}$$

$$U_a(t) = U_{DD} - \frac{\beta_n}{2 \cdot C_a} \cdot (U_{DD} - U_{thn})^2 \cdot t$$

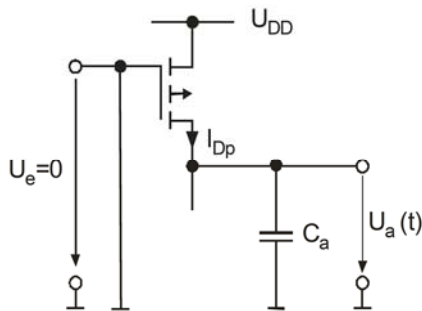
Übergang Sättigung → linear Betrieb :

$$t_0 = \frac{2 \cdot C_a \cdot U_{thn}}{\beta_n \cdot (U_{DD} - U_{thn})^2}$$

$$\text{für } t > t_0 : U_a(t) = (U_{DD} - U_{thn}) \cdot \left[\frac{2 \cdot e^{-\frac{(t-t_0)}{\tau_n}}}{1 + e^{-\frac{(t-t_0)}{\tau_n}}} \right]$$



3.2. CMOS Inverter: Low-to-High



$$I_{Dp} = C_a \cdot \frac{dU_a}{dt} \quad (U_a(t=0) = 0)$$

$$U_a(t) = \frac{\beta_p}{2C_a} \cdot (U_{DD} - |U_{thp}|)^2 \cdot t$$

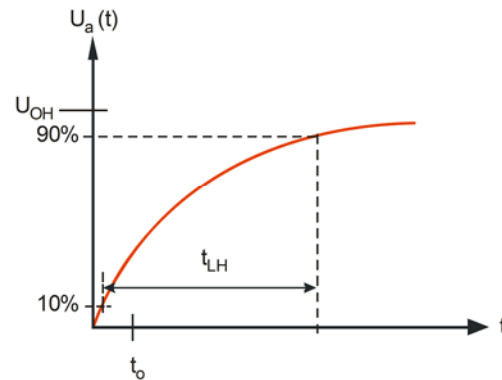
Sättigung → *linear Betrieb*

$$t_0 = \frac{2 \cdot C_a \cdot |U_{thp}|}{\beta_p \cdot (U_{DD} - |U_{thp}|)^2}$$

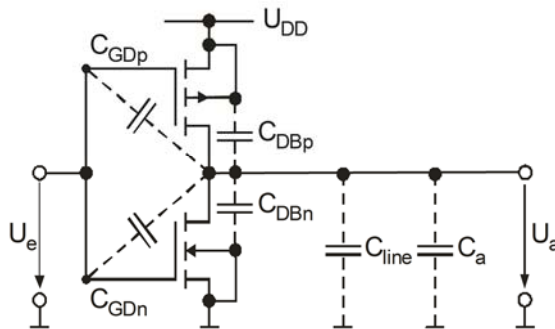
$$\tau_p = \frac{C_a}{\beta_p \cdot (U_{DD} - |U_{thp}|)}$$

$$R_p = \frac{1}{\beta_p \cdot (U_{DD} - |U_{thp}|)}$$

$$\tau_p = C_a \cdot R_p$$



3.3. CMOS Inverter: Ausgangskapazität



$$C_{line} = l \cdot w \cdot \frac{\epsilon_0 \cdot \epsilon_{ox}}{t_{ox}}$$

$$C_{in} \approx (C_{Gn} + C_{Gp})$$

$$C_{Gn,p} = C_{ox}' \cdot L_{n,p} \cdot w_{n,p} + 2 \cdot C_{on,p}$$

Nichtlineare Kapazitäten!

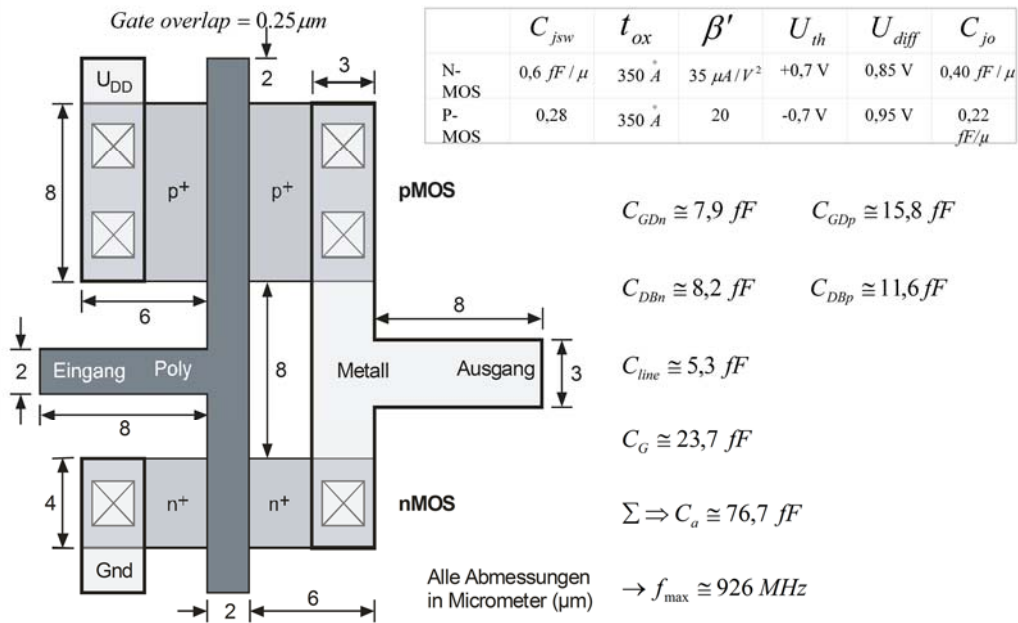
1) $U_e \rightarrow H \rightarrow L \rightarrow$ Parallelschaltung aller C!

$$C_{GDn,p} = \frac{1}{2} \cdot C_{ox}' \cdot (w \cdot L)_{n,p} + C_{on,p}$$

$$C_{av} = \frac{1}{(U_{OH} - U_{OL})} \cdot \int_{U_{OL}}^{U_{OH}} \frac{C_{j0} \cdot A}{(1 + U/U_{diff})^m} dU \quad m = 1/2 \rightarrow \text{Grundfläche}$$

$$m = 1/3 \rightarrow \text{Sidewall}$$

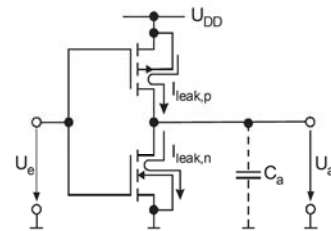
3.3. CMOS Inverter: Beispiel



3.4. CMOS Inverter: Parasitäre Effekte

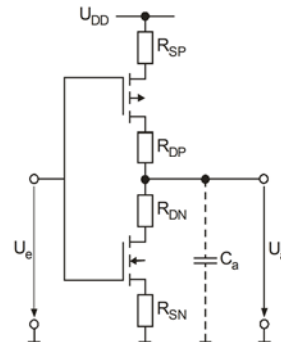
Leckströme

abhängig von L
(oft vernachlässigbar klein)

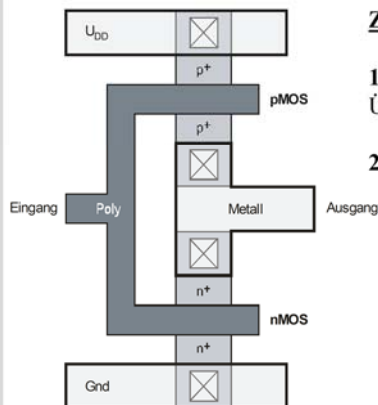


Widerstände

$R_s \cong 20 - 100 \, \Omega / \text{Fläche}$
→ Erhöhung der Zeitkonstante



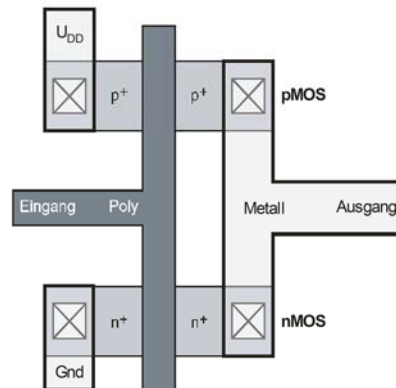
3.5. CMOS Inverter: Design - Layout



Ziel:

1. Formung der Übertragungsfunktion

2. Schaltzeiten



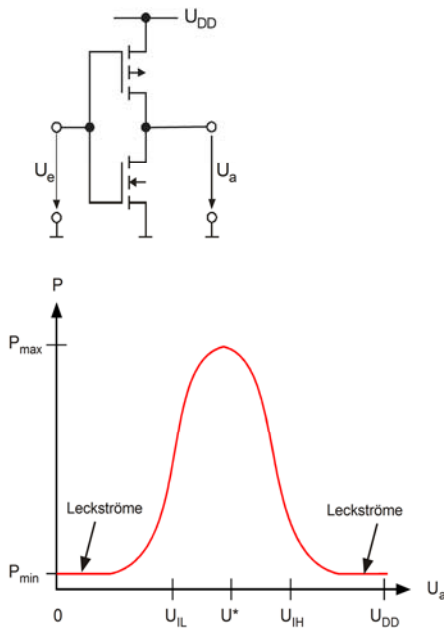
Designvariable: $\beta_n; \beta_p \rightarrow$ Schaltschwelle U^*

$$U^* = \frac{\sqrt{\beta_n/\beta_p} \cdot U_{thn} + (U_{DD} - |U_{thp}|)}{1 + \sqrt{\beta_n/\beta_p}}$$

$$\left(\frac{W}{L}\right)_n = \frac{C_a}{\beta_n' \cdot \tau_n \cdot (U_{DD} - U_{thn})}$$

$$\left(\frac{W}{L}\right)_p = \frac{C_a}{\beta_p' \cdot \tau_p \cdot (U_{DD} - U_{thp})}$$

3.6. CMOS Inverter: Leistung-Schaltzeit-Produkt



Strom nur beim Umschalten!

$$P_{DC} = U_{DD} \cdot I_{leak} \quad (\text{Bsp: } I_{leak} \approx 0,1 \text{ pA})$$

PDP: power – delay – product

$$PDP = P_{av} \cdot t_p \quad \left| \quad I = \frac{dQ}{dt} \quad Q = C_a \cdot U_{DD} \right.$$

$$P_{av} = \frac{1}{T} \int_0^T U_{DD} \cdot I(\tau) d\tau$$

$$P_{av} = \frac{U_{DD} \cdot Q}{T} = \frac{1}{T} \cdot C_a \cdot U_{DD}^2$$

$$1 \times \text{umschalten in } T \rightarrow \frac{1}{2} \rightarrow P_{av} = \frac{1}{2} \cdot \frac{C_a \cdot U_{DD}^2}{T}$$

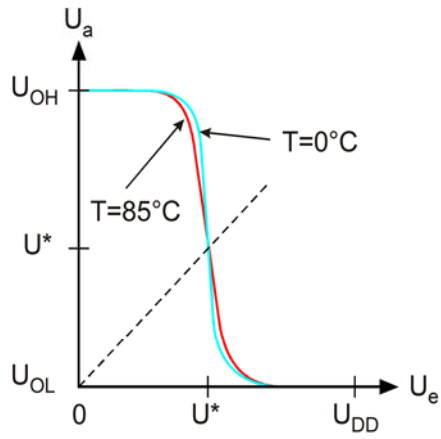
$$\text{da } f_{max} \approx \frac{1}{t_p}$$

$$(PDP) \approx \left(\frac{1}{2} \cdot C_a \cdot U_{DD}^2 \right) \cdot \frac{f}{f_{max}}$$

$$\text{Beispiel: } PDP \approx \frac{1}{2} \cdot (300 \text{ fF} \cdot 25 \text{ V}^2) \cdot \frac{0,05 \cdot f_{max}}{f_{max}} \approx 0,2 \text{ pJ}$$

Die statische Verlustleistung P_{DC} ist im Allgemeinen sehr klein.
Der Mittelwert der dynamischen Verlustleistung P_{av} kann leicht ermittelt werden.
Für einen einzelnen Umschaltvorgang muss also eine entsprechende Umschaltenergie aufgewendet werden.

3.7. CMOS Inverter: Temperaturabhängigkeit



3.7. CMOS Inverter: Temperaturabhängigkeit

Beispiel: AMS C35 Technologie

